

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11027126
PUBLICATION DATE : 29-01-99

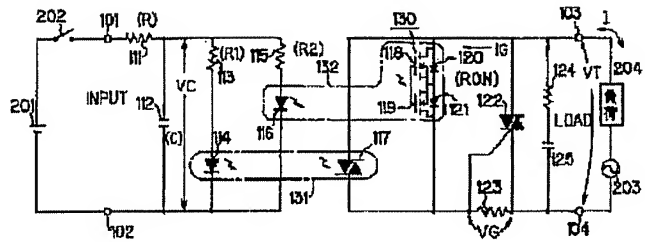
APPLICATION DATE : 27-06-97
APPLICATION NUMBER : 09187572

APPLICANT : OMRON CORP;

INVENTOR : HAYASHI YASUO;

INT.CL. : H03K 17/78 H03K 17/725

TITLE : SOLID-STATE RELAY



ABSTRACT : PROBLEM TO BE SOLVED: To provide a solid-state relay with reduced EMI noise (noise terminal voltage).

SOLUTION: A photo field-effect transistor coupler 132 comprising a 1st light emitting diode 116 and a field-effect transistor 130 and a photo-triac coupler 131 having a zero cross function which consists of a 2nd light emitting diode 114 and a triac 117 are parallelly connected to a triac 122 that becomes a main output element. There, the triac 122 is triggered by operating the couplers 132 and 131 at different timings from each other.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-27126

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶

H 0 3 K 17/78

17/725

識別記号

F I

H 0 3 K 17/78

17/725

J

E

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21) 出願番号

特願平9-187572

(22) 出願日

平成 9 年 (1997) 6 月 27 日

(71) 出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72) 発明者 林 靖雄

佐賀県武雄市朝日町大字中野小字小原

11000番地 オムロン武雄株式会社内

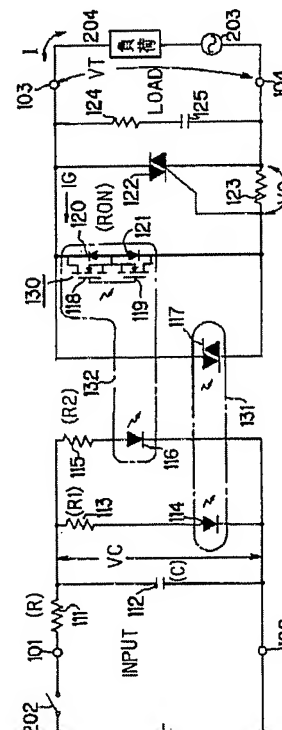
(74) 代理人 弁理士 飯塚 信市

(54) 【発明の名称】 ソリッドステートリレー

(57) 【要約】

【課題】 EMI ノイズ (雑音端子電圧) を低減したソリッドステートリレーを提供する。

【解決手段】 第1発光ダイオード116および電界効果トランジスタ130によるフォト電界効果トランジスタカップラ132と、第2発光ダイオード114およびトライアック117による零クロス機能付きフォトトライアックカップラ131とを、メインの出力素子となるトライアック122に対して並列接続し、互いに異なるタイミングでフォト電界効果トランジスタカップラ132と零クロス機能付きフォトトライアックカップラ131を動作させて、トライアック122をトリガする。



【特許請求の範囲】

【請求項1】 入力端子間に接続された第1の発光素子と、
前記入力端子間に前記第1の発光素子と並列に接続された第2の発光素子と、
負荷端子間に接続され、前記第1の発光素子と光結合され、該第1の発光素子の作動に基づき作動する電界効果トランジスタと、
前記負荷端子間に前記電界効果トランジスタと並列に接続され、該電界効果トランジスタの作動に基づきスイッチング制御されて負荷を開閉する半導体制御整流素子と、
前記第2の発光素子と光結合され、該第2の発光素子の作動に基づき作動して前記半導体制御整流素子の最初のオン動作を、負荷端子間の電圧瞬時値がゼロとなる時点で行うよう制御するゼロクロス回路と、
を具備すること、を特徴とするソリッドステートリレー。

【請求項2】 入力端子間に接続された第1の発光素子と、
前記入力端子間に前記第1の発光素子と並列に接続された第2の発光素子と、
負荷端子間に接続され、前記第1の発光素子と光結合され、該第1の発光素子の作動に基づき作動する電界効果トランジスタと、
前記負荷端子間に前記電界効果トランジスタと並列に接続され、前記第2の発光素子と光結合され、該第2の発光素子の作動に基づき作動する第1の半導体制御整流素子と、
前記負荷端子間に前記電界効果トランジスタおよび前記第1の半導体制御整流素子と並列に接続され、前記電界効果トランジスタまたは前記第1の半導体制御整流素子の作動に基づきスイッチング制御されて負荷を開閉する第2の半導体制御整流素子と、
を具備すること、を特徴とするソリッドステートリレー。

【請求項3】 前記第1の発光素子は、前記第2の発光素子の発光開始タイミングよりも遅れたタイミングで発光し、前記第2の発光素子の発光終了タイミングよりも早いタイミングで発光を終了すること、を特徴とする請求項1または2に記載のソリッドステートリレー。

【請求項4】 前記第1の発光素子が作動する第1の電圧レベルと、前記第2の発光素子が作動する前記第1の電圧レベルよりも低い第2の電圧レベルとを生成する電圧制御手段、
を具備すること、を特徴とする請求項1、2または3に記載のソリッドステートリレー。

【発明の詳細な説明】

【0001】

レーに係り、特に、動作タイミングの異なるフォト電界効果トランジスタカップラおよび零クロス回路を並列接続して半導体制御整流素子をトリガさせ、EMIノイズ（雑音端子電圧）を低減したソリッドステートリレーに関する。

【0002】

【従来の技術】一般に、ソリッドステートリレーは、入力回路と出力回路とをフォトカップラで電氣的に絶縁し、入力回路に印加される電気信号に応じて出力回路に接続された負荷を開閉するよう構成されている。

【0003】このようなソリッドステートリレーにおいて、負荷開閉用の素子としては、従来からトライアック等の半導体制御整流素子が用いられているが、最近では、電界効果トランジスタが使用されるようになってきている。

【0004】例えば、特公平8-2503417号公報には、電源電圧のピーク付近で入力信号がオフしても逆起電力が発生せず、素子の破壊やノイズの発生が少ないソリッドステートリレーが提案されている。

【0005】この従来例のソリッドステートリレーは、図4に示すように、入力端子401、402に直列接続された第1発光ダイオード404と、第2発光ダイオード415と、第1発光ダイオード404と光結合された受光ダイオード405と、負荷端子425、426間に接続され、受光ダイオード405の発生する起電力によって作動して負荷412を開閉する電界効果トランジスタ408、409と、負荷端子425、426間に電界効果トランジスタ408、409と並列接続され、第2発光ダイオード415の作動に基づいてオン／オフ制御される半導体制御整流素子としてのトライアック418と、第2発光ダイオード415と並列接続された時定数回路424とを備えた構成である。

【0006】この従来例のソリッドステートリレーでは、入力信号が無くなって電界効果トランジスタ408、409がオフとなっても、時定数回路424の放電電流によって第2発光ダイオード415が発光状態を維持するので、フォトトライアック418がオンとなり、負荷電流がゼロになるまでこのオン状態が継続する。これにより、たとえ電源電圧413のピーク付近で入力信号がオフしたとしても、負荷電流は急激にオフとはならないから、逆起電力の発生が抑制され、素子の破壊やノイズの発生を防止し得るものである。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来のソリッドステートリレーにあっては、光結合した電界効果トランジスタ408、409によって半導体制御整流素子（フォトトライアック418）をトリガさせ、半導体制御整流素子（フォトトライアック418）がオン状態にあるときに電界効果トランジスタ408、409

効果トランジスタ408、409のオン抵抗 $R_{DS(ON)}$ の値を R としたとき、電力損失 P は、 $P = I^2 \times R$ [W] となることから、出力電圧および電流が大きい場合には、出力の電力損失が大きくなり、結果としてEMIノイズ（雑音端子電圧）が高くなるという問題点がある。

【0008】この発明は、このような従来の問題点に着目してなされたもので、その目的とするところは、動作タイミングの異なるフォト電界効果トランジスタカプラおよび零クロス機能付きフォトリックカプラを並列接続して半導体制御整流素子をトリガさせ、EMIノイズ（雑音端子電圧）を低減したソリッドステートリレーを提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決するために、本出願の請求項1に記載の発明は、入力端子間に接続された第1の発光素子と、前記入力端子間に前記第1の発光素子と並列に接続された第2の発光素子と、負荷端子間に接続され、前記第1の発光素子と光結合され、該第1の発光素子の作動に基づき作動する電界効果トランジスタと、前記負荷端子間に前記電界効果トランジスタと並列に接続され、該電界効果トランジスタの作動に基づきスイッチング制御されて負荷を開閉する半導体制御整流素子と、前記第2の発光素子と光結合され、該第2の発光素子の作動に基づき作動して前記半導体制御整流素子の最初のオン動作を、負荷端子間の電圧瞬時値がゼロとなる時点で行うよう制御するゼロクロス回路とを具備することを特徴とするソリッドステートリレーにある。

【0010】また、本出願の請求項2に記載の発明は、入力端子間に接続された第1の発光素子と、前記入力端子間に前記第1の発光素子と並列に接続された第2の発光素子と、負荷端子間に接続され、前記第1の発光素子と光結合され、該第1の発光素子の作動に基づき作動する電界効果トランジスタと、前記負荷端子間に前記電界効果トランジスタと並列に接続され、前記第2の発光素子と光結合され、該第2の発光素子の作動に基づき作動する第1の半導体制御整流素子と、前記負荷端子間に前記電界効果トランジスタおよび前記第1の半導体制御整流素子と並列に接続され、前記電界効果トランジスタまたは前記第1の半導体制御整流素子の作動に基づきスイッチング制御されて負荷を開閉する第2の半導体制御整流素子とを具備することを特徴とするソリッドステートリレーにある。

【0011】また、本出願の請求項3に記載の発明は、前記第1の発光素子は、前記第2の発光素子の発光開始タイミングよりも遅れたタイミングで発光し、前記第2の発光素子の発光終了タイミングよりも早いタイミングで発光を終了すること、を特徴とする請求項1または2に記載のソリッドステートリレーにある。

は、前記第1の発光素子が作動する第1の電圧レベルと、前記第2の発光素子が作動する前記第1の電圧レベルよりも低い第2の電圧レベルとを生成する電圧制御手段を具備することを特徴とする請求項1、2または3に記載のソリッドステートリレーにある。

【0013】そして、本発明によれば、第1の発光素子および電界効果トランジスタによるフォト電界効果トランジスタカプラと、第2の発光素子および第1の半導体制御整流素子による零クロス機能付きフォトカプラとを、メインの出力素子となる第2の半導体制御整流素子に対して並列接続して、フォト電界効果トランジスタカプラまたは零クロス機能付きフォトカプラのいずれかに基づいて第2の半導体制御整流素子をトリガするように構成し、第1の発光素子の発光開始タイミングが第2の発光素子の発光開始タイミングよりも遅く、第1の発光素子の発光終了タイミングが第2の発光素子の発光終了タイミングよりも早くなるように、或いは、第1の発光素子が作動する第1の電圧レベルが、第2の発光素子が作動する第2の電圧レベルよりも高くなるようにして、フォト電界効果トランジスタカプラと零クロス機能付きフォトカプラの動作タイミングが異なるように設定制御することとしている。

【0014】これにより、電界効果トランジスタは出力が抵抗分であることから、電流制限用抵抗を不要とすることができ、また、第2の半導体制御整流素子のオン制御電流以下の負荷電流についても制御可能であり、さらに、電界効果トランジスタのオン電圧が微小なオン制御電流に支配されて低い値となることから、第2の半導体制御整流素子がオン制御されるまでの電圧を低くすることができ、EMIノイズ（雑音端子電圧）を低減することが可能となる。

【0015】

【発明の実施の形態】以下、本発明のソリッドステートリレーの実施の形態について、図面を参照して詳細に説明する。図1は本発明の一実施形態に係るソリッドステートリレーの構成図である。

【0016】図1に示されるように、本実施形態のソリッドステートリレーは、入力回路、電圧制御手段、第1発光ダイオード116、第2発光ダイオード114、フォト電界効果トランジスタ130、フォトリック117、トライアック122、抵抗123、およびサージ吸収回路を備えて構成され、入力端子101、102側に直流電圧201およびスイッチ202を、負荷端子103、104側に交流電源203および負荷204が接続された構成となっている。

【0017】入力回路は、抵抗111およびコンデンサ112から構成され、コンデンサ112の端子間電圧 V_C が第1発光ダイオード116および第2発光ダイオード114に供給される。

16は、電圧制御手段である抵抗115（抵抗値 R_2 ）と直列接続されて、コンデンサ112の端子間電圧 V_C の供給を受け、しきい値 V_{th1} の電圧レベル（第2電圧レベル）で発光動作する。

【0019】また、第2発光ダイオード（第2の発光素子）114は、電圧制御手段である抵抗113（抵抗値 R_1 ）と直列接続されて、コンデンサ112の端子間電圧 V_C の供給を受け、しきい値 V_{th2} （ $V_{th2} < V_{th1}$ ）の電圧レベル（第1電圧レベル）で発光動作する。尚、第1発光ダイオード116および抵抗115の直列接続回路と第2発光ダイオード114および抵抗113の直列接続回路とが並列接続されている。

【0020】フォト電界効果トランジスタ130は、負荷端子103、104間に接続され、第1発光ダイオード116と光結合され、該第1発光ダイオード116の作動に基づき作動する。すなわち、第1発光ダイオード116およびフォト電界効果トランジスタ130は、フォト電界効果トランジスタカプラ132を形成している。また、フォト電界効果トランジスタ130は、電界効果トランジスタ118および119を直列接続した構成であり、共通接続のゲート電極が第1発光ダイオード116の発光によって駆動される。尚、電界効果トランジスタ118および119のソースドレイン間には内蔵ダイオード120および121が接続されている。

【0021】また、フォトリヤック（第1の半導体制御整流素子）117は、負荷端子103、104間にフォト電界効果トランジスタ130と並列接続され、第2発光ダイオード114と光結合され、該第2発光素子ダイオード114の作動に基づき作動する。すなわち、第2発光ダイオード114およびフォトリヤック117は、フォトリヤックカプラ131を形成している。尚、フォトリヤック117は、トライアック122の最初のオン動作を、負荷端子103、104間の電圧瞬時値がゼロとなる時点で行うよう制御するゼロクロス回路として機能する。

【0022】また、トライアック（第2の半導体制御整流素子）122は、負荷端子103、104間にフォト電界効果トランジスタ130およびフォトリヤック117と並列接続され、該フォト電界効果トランジスタ130またはフォトリヤック117の作動に基づきスイッチング制御されて負荷204を開閉する。また、トライアック122のゲートと主電極間には抵抗123が接続されている。

【0023】さらに、サージ吸収回路は、抵抗124およびコンデンサ125の直列接続で構成され、負荷端子103、104間に接続され、負荷204が誘導負荷の場合のターン・オフ時に発生する過渡電圧（サージ）を吸収するものである。

【0024】次に、本実施形態のソリッドステートリレ

照しながら、以下詳細に説明する。尚、図2（a）はスイッチ202のオン／オフ動作の説明図、図2（b）はコンデンサ112の端子間電圧 V_C の電圧波形図、図2（c）はフォト電界効果トランジスタ130のオン／オフ動作の説明図、図2（d）はフォトリヤック117のオン／オフ動作の説明図、図2（e）は負荷電流の電流波形図、図2（f）は負荷端子103、104間の電圧 V_T の電圧波形図である。

【0025】まず、スイッチ202によって第1発光ダイオード116および第2発光ダイオード114に電圧が供給されないときには、これら発光ダイオード116、114は発光しないので、フォト電界効果トランジスタ130およびフォトリヤック117は共にオン動作せず、トライアック122もオフ状態であるから負荷204への通電は行われない。

【0026】次に、図2（a）に示す如く、スイッチ202が時刻 T_n でオン状態となったときには、入力回路に電圧供給がなされて、図2（b）に示す如く、 C_R の時間定数でコンデンサ112の端子間電圧 V_C が充電されていく。

【0027】ここで、本実施例においては、図2（c）および（d）に示すように、第1発光ダイオード116が、第2発光ダイオード114の発光開始タイミング T_1 よりも遅れたタイミング T_2 で発光し、第2発光ダイオード114の発光終了タイミング T_4 よりも早いタイミング T_3 で発光を終了するところに特徴がある。

【0028】すなわち、図2（b）において、第1発光ダイオード116が発光するしきい値 V_{th1} （第1電圧レベル）は、第2発光ダイオード114が発光するしきい値 V_{th2} （第2の電圧レベル）よりも高い値となるように設定されている。尚、このしきい値 V_{th1} および V_{th2} の設定は、第1発光ダイオード116および第2発光ダイオード114の動作感度の差および抵抗115の値（ R_2 ）および抵抗114の値（ R_1 ）を調整することにより行われる。

【0029】したがって、タイミング T_1 で第2発光ダイオード114の発光が開始されると、該発光はフォトリヤックカプラ131を介してフォトリヤック117に伝達されて、フォトリヤック117がオン状態となる。これによってトライアック122もターン・オン動作して、図2（e）に示すように負荷電流 I が流れ、また図2（f）に示すように、負荷電圧 V_T としてトライアック122のオン電圧 V_{TM} を持つようになる。

【0030】次に、タイミング T_2 で第1発光ダイオード116の発光が開始されると、該発光はフォト電界効果トランジスタカプラ132を介してフォト電界効果トランジスタ130に伝達されて、フォト電界効果トランジスタ130がオン状態となる。尚、フォト電界効果ト

ク117のオン抵抗よりも低い値をもつので、タイミングT2以降は、トライアック122を点弧制御するゲートトリガ電流IGはフォト電界効果トランジスタ130に流れ、トライアック113がトリガするまでの電圧は、フォト電界効果トランジスタ130のオン電圧($R_{ON} \times IG$)に影響されることとなる。

【0031】次に、図2(a)に示す如く、スイッチ202が時刻Tfでオフ状態となった時には、入力回路への電圧供給が遮断されて、コンデンサ112に蓄積された電荷が放電して、端子間電圧VCは低下していく。

【0032】コンデンサ112端子間電圧VCが低下していき、タイミングT3で第1発光ダイオード116の発光しきい値Vth1(第1電圧レベル)以下となると、第1発光ダイオード116の発光が停止され、これにより、フォト電界効果トランジスタ130はオフ状態となる。

【0033】次に、コンデンサ112端子間電圧VCがさらに低下していくと、タイミングT4で第2発光ダイオード114の発光しきい値Vth2(第2電圧レベル)以下となり、この時、第2発光ダイオード114の発光が停止され、これにより、フォトトライアック117はオフ状態となって、トライアック122もオフ状態となるので負荷204への通電が停止されることとなる。

【0034】以上のように、本実施形態のソリッドステートリレーでは、動作タイミングの異なるフォト電界効果トランジスタカプラ132および零クロス機能付きフォトトライアックを並列接続して、メイン出力素子であるトライアック122をトリガする構成であり、負荷204への電源投入時および電源遮断時には、零クロス機能付きフォトトライアックカプラ117によりトライアック122をトリガし、それ例外の通常時には、フォト電界効果トランジスタカプラ132によりトライアック122をトリガする。

【0035】これにより、通常時のトリガ動作を受け持つフォト電界効果トランジスタ130は、出力が抵抗分であることから、電流制限用抵抗415を具備する必要がなく、該電流制限用抵抗415のゲートトリガ電流IGによる電圧降下によって、トライアック113がトリガするまでの電圧VONが高められることがなくなる。

【0036】また、フォト電界効果トランジスタ130自体のオン電圧VTMは、オン抵抗をRON、ゲートトリガ電流をIGとしたときに、($R_{ON} \times IG$)で表される。ここで、オン抵抗RONは数[Ω]と高い値を持つがゲートトリガ電流IGは数十[mA]で微小であることから、フォト電界効果トランジスタ130自体のオン電圧VTMは低い値となる。

【0037】したがって、ソリッドステートリレーにおけるメイン出力素子であるトライアック122がトリガするまでの電圧VONは、通常時のトリガ動作では、フォ

IGとゲートトリガ電圧VGTの和で決定される(図2(f)参照)ので、該電圧VONを低くすることができ、EMIノイズ(雑音端子電圧)を低減することが可能となる。

【0038】参考として、図3には、トライアック122がトリガするまでの電圧VONについて従来との比較を示す。図3(a)は本実施形態における電圧VON、図3(b)は従来例における電圧VON'である。ここで、具体的な測定値を示せば、従来例における電圧VON'が3.04[V]であったのに対して、本実施形態における電圧VONは1.20[V]となった。トライアック122のオン電圧VTMが0.7[V]程度であることから、本実施形態によりEMIノイズ(雑音端子電圧)を無視可能な程度まで低減されたことが実証された。

【0039】さらに、フォト電界効果トランジスタ130は、上述のように出力が抵抗分であることから、メイン出力素子であるトライアック122のトリガ電流以下の負荷電流についても制御でき、負荷204が微小負荷である場合にも制御可能である。つまり、トライアック122においては、ゲートトリガ電流IGの下限が存在するので、トライアック122だけではそれ以下となるような微小負荷については制御不可能であるが、フォト電界効果トランジスタ130のオン制御により負荷204への通電経路が確保されるので、負荷204が微小負荷である場合にも制御可能となる。

【0040】尚、本実施形態では、メイン出力素子(第2の半導体制御整流素子)としてトライアック122を使用した。これを逆並列接続したサイリスタによる構成としても良い。

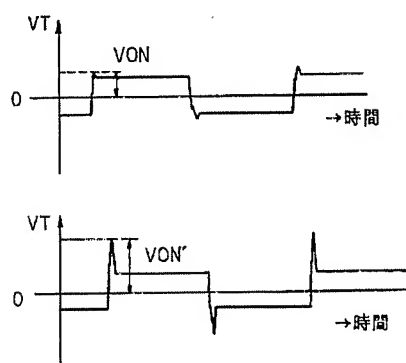
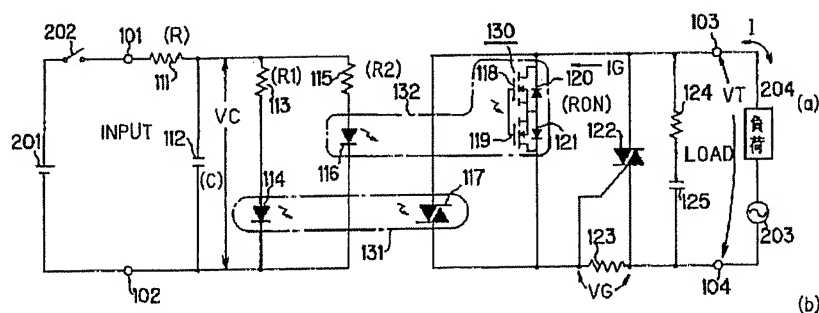
【0041】

【発明の効果】以上の説明から明らかなように、本発明によれば、第1の発光素子および電界効果トランジスタによるフォト電界効果トランジスタカプラと、第2の発光素子および第1の半導体制御整流素子による零クロス機能付きフォトカプラとを、メインの出力素子となる第2の半導体制御整流素子に対して並列接続して、フォト電界効果トランジスタカプラまたは零クロス機能付きフォトカプラのいずれかに基づいて第2の半導体制御整流素子をトリガするように構成し、第1の発光素子の発光開始タイミングが第2の発光素子の発光開始タイミングよりも遅く、第1の発光素子の発光終了タイミングが第2の発光素子の発光終了タイミングよりも早くなるように、或いは、第1の発光素子が作動する第1の電圧レベルが、第2の発光素子が作動する第2の電圧レベルよりも高くなるようにして、フォト電界効果トランジスタカプラと零クロス機能付きフォトカプラの動作タイミングが異なるように設定制御することとしたので、電界効果トランジスタは出力が抵抗分であることから、電流制限用抵抗を不要とすることができ、また、第2の半導体制

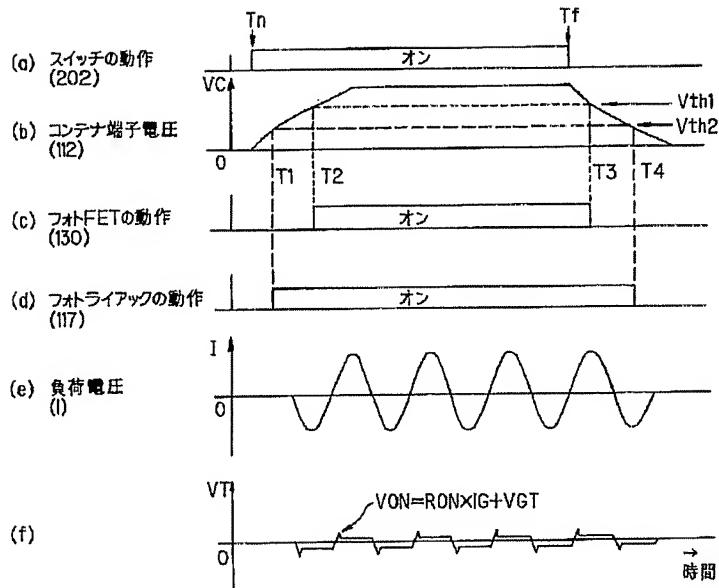
101, 102 入力端子
103, 104 負荷端子
111, 113, 115, 123, 124 抵抗
112, 125 コンデンサ
114 第2発光ダイオード(第2の発光素子)

116 第1発光ダイオード（第2の発光素子）
117 フォトリライアック（第1の半導体制御整流素子）
118, 119 電界効果トランジスタ
120, 121 内蔵ダイオード
122 トライアック
130 フォト電界効果トランジスタ
131 フォトリライアックカプラ
132 フォト電界効果トランジスタカプラ
201 直流電圧
202 スイッチ
203 交流電源
204 負荷
401, 402 入力端子
403, 407, 416, 420～422 抵抗
404 第1発光ダイオード
405 受光ダイオード
406 フォトカプラ
408, 409 電界効果トランジスタ
410, 411 内蔵ダイオード
412 負荷
413 交流電源
414 ダイオード
415 第2発光ダイオード
417, 423 コンデンサ
418 フォトリライアック
419 トライアック
424 時定数回路
425, 426 負荷端子

【図3】



【図2】



【図4】

